

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
SATO et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: DISPLAY DEVICE)
ATTORNEY DOCKET NO. HITA.0467)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

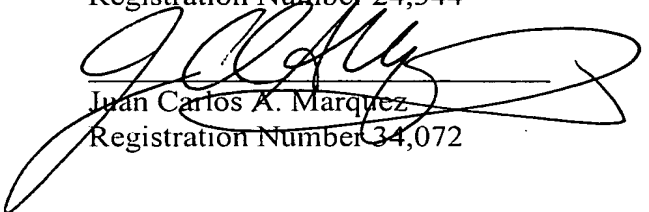
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of December 26, 2002, the filing date of the corresponding Japanese patent application 2002-377150.

A certified copy of Japanese patent application 2002-377150 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
December 3, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

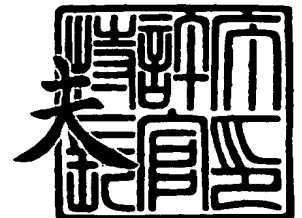
出 願 番 号 特 願 2 0 0 2 - 3 7 7 1 5 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 7 1 5 0]

出 願 人 株 式 会 社 日 立 デ ィ ス プ レ イ ズ
Applicant(s):

2 0 0 3 年 9 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 330200330

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 佐藤 秀夫

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 西谷 茂之

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 宮沢 敏夫

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 基板上に形成された薄膜トランジスタを含むレベル変換回路を備える表示装置であって、

前記レベル変換回路は、振幅が 1.2 V 以下の非差動の入力信号を、振幅が第 1 電圧と第 2 電圧との差の電圧の信号に変換することを特徴とする表示装置。

【請求項 2】 前記入力信号は、振幅が、前記薄膜トランジスタのしきい値電圧の 2 倍より小さい信号であることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記入力信号は、振幅が、前記薄膜トランジスタのしきい値電圧の 1.6 倍以下の信号であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記入力信号は、振幅が、前記薄膜トランジスタのしきい値電圧以上、1.6 倍以下の信号であることを特徴とする請求項 2 に記載の表示装置。

【請求項 5】 前記入力信号は、制御信号、あるいは表示データであることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の表示装置。

【請求項 6】 前記入力信号は、制御信号であり、

前記レベル変換回路は、前記第 1 電圧が供給される第 1 電源線と出力端子との間に接続され、ゲート電極に第 1 容量素子を介して前記入力信号が印加される第 1 導電型の第 1 トランジスタと、

前記出力端子と前記第 2 電圧が供給される第 2 電源線との間に接続され、ゲート電極に第 2 容量素子を介して前記入力信号が印加される第 2 導電型の第 2 トランジスタと、

前記第 1 トランジスタのゲート電極に第 1 バイアス電圧を印加する第 1 バイアス回路と、

前記第 2 トランジスタのゲート電極に第 2 バイアス電圧を印加する第 2 バイアス回路とを有し、

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧が最大値のときに、前記第 1 トランジスタがオフとなる電圧であり、

前記第2バイアス電圧は、前記第2トランジスタのゲート電極に印加される電圧が最小値のときに、前記第2トランジスタがオフとなる電圧であることを特徴とする請求項1ないし請求項4のいずれか1項に記載の表示装置。

【請求項7】 前記第1バイアス電圧は、前記第1トランジスタのゲート電極に印加される電圧の最大値が、前記第1電圧から前記第1トランジスタのしきい値電圧を減算した電圧値となる電圧であり、

前記第2バイアス電圧は、前記第2トランジスタのゲート電極に印加される電圧の最小値が、前記第2電圧に前記第2トランジスタのしきい値電圧を加算した電圧値となる電圧であることを特徴とする請求項6に記載の表示装置。

【請求項8】 前記入力信号は、表示データであり、

前記レベル変換回路は、前記入力信号をサンプリングするサンプルホールド回路と、

ゲート電極に前記サンプルホールド回路の出力電圧が印加されるトランジスタと、

第1の電極が、前記第1電圧が供給される第1電源線に接続される第1スイッチング素子と、

第2の電極が、前記第1スイッチング素子の第2の電極に接続され、第1の電極が、前記トランジスタの第2の電極に接続される第2スイッチング素子と、

前記第2スイッチング素子の第2の電極に接続される電圧保持回路と、

前記第1電源線と、前記第2電圧が供給される第2電源線との間に接続され、前記電圧保持回路の出力電圧が入力されるインバータ回路と、

前記トランジスタの第1の電極にバイアス電圧を印加するバイアス回路とを有し、

前記バイアス電圧は、前記トランジスタのゲート電極に印加される電圧が最小値のときに、前記トランジスタがオフとなる電圧であることを特徴とする請求項1ないし請求項4のいずれか1項に記載の表示装置。

【請求項9】 前記バイアス電圧は、前記第2電圧から前記トランジスタのしきい値電圧を減算した電圧であることを特徴とする請求項8に記載の表示装置。

。

【請求項 10】 低振幅の制御信号を、振幅が第 1 電圧と第 2 電圧との差の電圧の信号に変換する第 1 のレベル変換回路と、

低振幅の表示データを、振幅が第 1 電圧と第 2 電圧との差の電圧の信号に変換する第 2 のレベル変換回路とを備える表示装置であって、

前記第 1 のレベル変換回路は、前記第 1 電圧が供給される第 1 電源線と出力端子との間に接続され、ゲート電極に第 1 容量素子を介して前記制御信号が印加される第 1 導電型の第 1 トランジスタと、

前記出力端子と前記第 2 電圧が供給される第 2 電源線との間に接続され、ゲート電極に第 2 容量素子を介して前記制御信号が印加される第 2 導電型の第 2 トランジスタと、

前記第 1 トランジスタのゲート電極に第 1 バイアス電圧を印加する第 1 バイアス回路と、

前記第 2 トランジスタのゲート電極に第 2 バイアス電圧を印加する第 2 バイアス回路とを有し、

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧が最大値のときに、前記第 1 トランジスタがオフとなる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧が最小値のときに、前記第 2 トランジスタがオフとなる電圧であり、

前記第 2 のレベル変換回路は、前記表示データをサンプリングするサンプルホールド回路と、

ゲート電極に前記サンプルホールド回路の出力電圧が印加される第 3 トランジスタと、

第 1 の電極が、前記第 1 電源線に接続される第 1 スイッチング素子と、

第 2 の電極が、前記第 1 スイッチング素子の第 2 の電極に接続され、第 1 の電極が、前記第 3 トランジスタの第 2 の電極に接続される第 2 スイッチング素子と、

前記第 2 スイッチング素子の第 2 の電極に接続される電圧保持回路と、

前記第 1 電源線と、前記第 2 電源線との間に接続され、前記電圧保持回路の出力電圧が入力されるインバータ回路と、

前記第3トランジスタの第1の電極に第3バイアス電圧を印加する第3バイアス回路とを有し、

前記第3バイアス電圧は、前記第3トランジスタのゲート電極に印加される電圧が最小値のときに、前記第3トランジスタがオフとなる電圧であることを特徴とする表示装置。

【請求項11】 前記第1バイアス電圧は、前記第1トランジスタのゲート電極に印加される電圧の最大値が、前記第1電圧から前記第1トランジスタのしきい値電圧を減算した電圧値となる電圧であり、

前記第2バイアス電圧は、前記第2トランジスタのゲート電極に印加される電圧の最小値が、前記第2電圧に前記第2トランジスタのしきい値電圧を加算した電圧値となる電圧であり、

前記第3バイアス電圧は、前記第2電圧から前記第3トランジスタのしきい値電圧を減算した電圧であることを特徴とする請求項10に記載の表示装置。

【請求項12】 前記第1のレベル変換回路から出力される制御信号に基づき、前記第2のレベル変換回路の前記第1スイッチング素子および前記第2スイッチング素子を駆動することを特徴とする請求項10または請求項11に記載の表示装置。

【請求項13】 前記第1のレベル変換回路、および前記第2のレベル変換回路は、基板上に形成された薄膜トランジスタを含むことを特徴とする請求項10ないし請求項12のいずれか1項に記載の表示装置。

【請求項14】 低振幅の入力信号を、振幅が第1電圧と第2電圧との差の電圧の信号に変換するレベル変換回路を備える表示装置であって、

前記レベル変換回路は、前記第1電圧が供給される第1電源線と出力端子との間に接続され、ゲート電極に第1容量素子を介して前記入力信号が印加される第1導電型の第1トランジスタと、

前記出力端子と前記第2電圧が供給される第2電源線との間に接続され、ゲート電極に第2容量素子を介して前記入力信号が印加される第2導電型の第2トランジスタと、

前記第1トランジスタのゲート電極に第1バイアス電圧を印加する第1バイア

ス回路と、

前記第 2 トランジスタのゲート電極に第 2 バイアス電圧を印加する第 2 バイアス回路とを有し、

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧が最大値のときに、前記第 1 トランジスタがオフとなる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧が最小値のときに、前記第 2 トランジスタがオフとなる電圧であることを特徴とする表示装置。

【請求項 15】 前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧の最大値が、前記第 1 電圧から前記第 1 トランジスタのしきい値電圧を減算した電圧値となる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧の最小値が、前記第 2 電圧に前記第 2 トランジスタのしきい値電圧を加算した電圧値となる電圧であることを特徴とする請求項 14 に記載の表示装置。

【請求項 16】 低振幅の入力信号を、振幅が第 1 電圧と第 2 電圧との差の電圧の信号に変換するレベル変換回路を備える表示装置であって、

前記レベル変換回路は、前記入力信号をサンプリングするサンプルホールド回路と、

ゲート電極に前記サンプルホールド回路の出力電圧が印加されるトランジスタと、

第 1 の電極が、前記第 1 電源線に接続される第 1 スイッチング素子と、

第 2 の電極が、前記第 1 スイッチング素子の第 2 の電極に接続され、第 1 の電極が、前記トランジスタの第 2 の電極に接続される第 2 スイッチング素子と、

前記第 2 スイッチング素子の第 2 の電極に接続される電圧保持回路と、

前記第 1 電源線と、前記第 2 電源線との間に接続され、前記電圧保持回路の出力電圧が入力されるインバータ回路と、

前記トランジスタの第 1 の電極にバイアス電圧を印加するバイアス回路とを有し、

前記バイアス電圧は、前記トランジスタのゲート電極に印加される電圧が最小

値のときに、前記トランジスタがオフとなる電圧であることを特徴とする表示装置。

【請求項 1 7】 前記バイアス電圧は、前記第 2 電圧から前記トランジスタのしきい値電圧を減算した電圧であることを特徴とする請求項 1 6 に記載の表示装置。

【請求項 1 8】 前記レベル変換回路は、基板上に形成された薄膜トランジスタを含むことを特徴とする請求項 1 4 ないし請求項 1 7 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示装置に係わり、特に、外部から入力される低振幅の入力信号（例えば、制御信号、表示データ）の電圧レベルを変換するレベル変換回路を備えた表示装置に関する。

【0 0 0 2】

【従来の技術】

T F T (Thin Film Transistor) 方式の液晶表示モジュールは、ノート型パーソナルコンピュータ等の表示装置として広く使用されている。

この液晶表示モジュールでは、外部（例えば、本体側のコンピュータ）から入力される入力信号（例えば、表示データ、制御信号）に基づき、画像を表示する。このような場合には、液晶表示モジュールの入力段に、入力信号をより大きな振幅の信号に変換するレベル変換回路を備えるのが一般的である。

このレベル変換回路として、容量結合型レベル変換回路（特許文献 1 参照）、あるいは、直結型レベル変換回路（非特許文献 1 参照）が知られている。

【0 0 0 3】

なお、本願発明に関連する先行技術文献情報としては以下のものがある。

【特許文献 1】

特開 2 0 0 2 - 2 5 1 1 7 4 号公報

【非特許文献 1】

SID 02 DIGEST pp. 690-693

【0004】

【発明が解決しようとする課題】

しかしながら、従来技術では基板上に周辺回路として内蔵された、薄膜トランジスタを用いたレベル変換回路に入力される非差動の入力信号としては、薄膜トランジスタのしきい値電圧（一般的には、0.7V前後）よりも十分に大きな3V程度の振幅の信号が用いられており、入力信号がより低振幅になった場合のことは考慮されていない。

前述の特許文献1に記載されている容量結合型レベル変換回路では、特許文献1の段落番号[0038]～[0059]、並びに特許文献1の図1の記載から明らかなように、非差動の入力信号VINとして、薄膜トランジスタのしきい値電圧の2倍より高い振幅の信号が必要であり、振幅が、しきい値電圧の2倍より小さい入力信号はレベル変換できない。

さらに、容量結合型レベル変換回路では、入力信号のデューティ比が変わると初期化が必要になるため、表示データのようにデューティ比の変動が激しい信号のレベル変換ができないという問題がある。

【0005】

また、前述の非特許文献1に記載されている直結型レベル変換回路では、非特許文献1のFig 2に示す回路構成から明らかなように、V/I変換回路を構成する薄膜トランジスタのソース電極が基準電位（GND）に接続される増幅回路のため、入力信号の振幅が、非特許文献1で想定している3V振幅の入力信号であれば問題がないが、それよりも低振幅になった場合には十分な応答速度でレベル変換ができない。また、入力信号の振幅がしきい値電圧以下の場合には、レベル変換ができない。

したがって、特許文献1や非特許文献1などの、従来のレベル変換回路では、非差動の入力信号を用いる場合、薄膜トランジスタの製造上のばらつきによるしきい値電圧変動や実用的な応答速度を考慮すると、低振幅（例えば、1.2V以下）の入力信号を用いることができなかった。

本発明は、以上のような背景のもとでなされたものであり、本発明の目的は、

低振幅の入力信号をレベル変換することが可能な表示装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0006】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明では、デューティ比の変動が少ない制御信号（例えば、クロック信号、水平同期信号、垂直同期信号、サンプリング信号などのうちの少なくとも1つ以上）のレベル変換には交流結合型レベル変換回路を用いる。

本発明の交流結合型レベル変換回路は、第1トランジスタのゲート電極にバイアス電圧を印加する第1バイアス回路と、第2トランジスタのゲート電極にバイアス電圧を印加する第2バイアス回路を有する点で、前述の特許文献1に記載されているものと回路構成が相異なる。

本発明では、第1バイアス回路は、第1トランジスタのゲート電極に印加される電圧が最大値のときに、第1トランジスタがオフとなる電圧（例えば、第1トランジスタのゲート電極に印加される電圧の最大値が、第1電圧（V_{dd}）から第1トランジスタのしきい値を減算した電圧値となる電圧）を、第1トランジスタのゲート電極に印加する。

【0007】

また、第2バイアス回路は、第2トランジスタのゲート電極に印加される電圧が最小値のときに、第2トランジスタがオフとなる電圧（例えば、第2トランジスタのゲート電極に印加される電圧の最小値が、第2電圧（GND）に第2トランジスタのしきい値を加算した電圧値となる電圧）を、第2トランジスタのゲート電極に印加する。

即ち、本発明では、第1、第2のバイアス回路で、第1トランジスタ、および第2トランジスタのゲート電圧をしきい値とほぼ等しい電圧にバイアスし、入力信号の電圧が、Highレベル（以下、単に、Hレベルという）、または、Low

wレベル（以下、単に、Lレベルという）になったときに、どちらか一方のトランジスタのゲート電圧にしきい値電圧と入力信号の電圧振幅が加算された電圧を印加するようにしたので、入力信号の振幅が、低振幅の場合でも十分な速度でレベル変換することが可能となる。

【0008】

また、本発明では、デューティ比の変動が激しい表示データのレベル変換にはサンプリング&レベル変換の直結型レベル変換回路を用いる。

この直結型レベル変換回路は、 V/I 変換回路を構成するソース接地のトランジスタの第2の電極（ソース電極）にバイアス電圧を印加するバイアス回路を有する点で、前述の非特許文献1に記載されているものと回路構成が相異なる。

本発明のバイアス回路は、トランジスタのゲート電極に印加される電圧が最小値のときに、前記トランジスタがオフとなる電圧（例えば、第2電圧（GND）からトランジスタのしきい値電圧を減算した電圧）を、トランジスタの第2の電極に印加する。

これにより、トランジスタのオン／オフの電流比を高くとることが可能となるので、入力信号の振幅が、低振幅の場合でも、十分な応答でレベル変換することが可能となる。

【0009】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図1は、本発明の実施の形態の表示装置の概略構成を示すブロック図を示す。

本実施の形態の表示装置は、低温ポリシリコンTFT（薄膜トランジスタ）を用いた液晶表示装置（以下、TFT-LCD）であり、例えば、ガラスやプラスチックなどの絶縁基板上に薄膜トランジスタが形成された低温ポリシリコン基板（以下、LTPS基板）10、本体側コンピュータ内部のシステムLSI（20）、電源回路30から構成される。

LTPS基板10には、容量結合型レベル変換回路100、サンプルホールド

回路 200、直結型レベル変換回路 300、シリアルパラレル変換回路 400、タイミング制御回路 500、ドレイン線駆動回路 600、ゲート線駆動回路 700、表示部 800 が形成される。

この LTPS 基板 10 に形成されたこれらの回路のトランジスタには、TFT が用いられている。

また、表示部 800 には、TFT を備え、マトリクス状に配置される複数の画素、各画素に映像信号電圧を供給するドレイン信号線、各画素に走査信号電圧を供給するゲート信号線などが形成されるが、それらの構成は周知であるので、図示は省略する。

LTPS 基板 10 に形成されたこれらの回路のうち、表示部 800 以外の回路は周辺回路と呼ばれる。

なお、図 1 において、clk はクロック信号、hs は水平同期信号、vs は垂直同期信号、spl はサンプリング信号、Din は表示データを示す。

【0010】

本実施の形態では、例えば、クロック信号 (clk)、水平同期信号 (hs)、垂直同期信号 (vs)、サンプリング信号 (spl) などの制御信号には、容量結合型レベル変換回路 100 を、表示データ (Din) には、直結型レベル変換回路を使用する。

制御信号の一つとして、図示しないディスプレイタイミング信号 (DTMG) を用いてもよい。制御信号として何を用いるかは必要に応じて適宜選択される。

制御信号のデューティ比はほぼ一定で変化しないため、容量結合型レベル変換回路 100 でもバイアス点の変動が小さく、変換した信号のジッタを小さくすることができる。

入力された低振幅の制御信号は容量結合型レベル変換回路 100 によって、より大きな振幅の信号にレベル変換され、タイミング制御回路 500 に入力される。

タイミング制御回路 500 では、これらの信号に基づいてサンプルホールド回路 200、直結型レベル変換回路 300、ドレイン線駆動回路 600、ゲート線駆動回路 700 を制御する。

【0011】

表示データ (D_in) は、サンプルホールド回路 200、直結型レベル変換回路 300 により、表示データを一旦サンプルホールドした後、レベル変換を行う構成となっている。

ここで、シリアルパラレル変換回路 400 の中に複数のサンプルホールド回路 200 と直結型レベル変換回路を並列で並べ、シリアルで入力された表示データをそれぞれ並列で並べられたサンプルホールド回路 200 でタイミングをずらし、それぞれを対応する直結型レベル変換回路 300 でレベル変換している。

これにより、各レベル変換回路における処理時間を長く確保できるので、より高速の表示データの入力に対応することが可能となる。この結果、表示データ入力の端子数を減らすことができ、高い信頼性の表示装置を実現できる。

尚、サンプルホールド回路 200 に必要なサンプリングパルスや、直結型レベル変換回路 300 の制御に必要な信号は、タイミング制御回路 500 から供給される。

このようにして、制御信号を高速動作が可能な容量結合型レベル変換回路 100 によりレベル変換し、そこで得られた信号を利用して、表示データを直結型レベル変換回路 300 によってレベル変換するという使い分けを行っている。

更に、システム LSI (20) の電圧、制御信号、表示データを低い電圧にできるので、表示装置の消費電力を低減することができる。

【0012】

図 2 は、図 1 に示す容量結合型レベル変換回路 100 の一例の回路構成を示す回路図である。

図 2 に示す容量結合型レベル変換回路は、P 型 MOS トランジスタ (以下、単に、PMOS という) (MP1) と、N 型 MOS トランジスタ (以下、単に、NMOS という) (MN1)、容量素子 (C1, C2) と、第 1 のバイアス回路 110 と、第 2 のバイアス回路 120 で構成される。

PMOS (MP1) のソース電極 (以下、単に、ソースという) と、ドレイン電極 (以下、単に、ドレインという) は、それぞれ電源電圧 (V_{dd}) が供給さ

れる電源ラインと、出力端子 (T o) に接続され、ゲート電極 (以下、単に、ゲートという) は、第 1 のバイアス回路 110 と容量素子 (C 1) に接続される。

NMOS (MN1) のソースとドレインは、それぞれ接地電圧 (GND) が供給されるグラウンドラインと出力端子 (T o) に接続され、ゲートは、第 2 のバイアス回路 120 と容量素子 (C 2) に接続される。

容量素子 (C 1, C 2) の他端は、入力端子 (T i n) に接続される。

第 1 のバイアス回路 110、および、第 2 のバイアス回路 120 は、ともに抵抗分圧回路で構成され、それぞれ抵抗素子 (R 1, R 2) と、抵抗素子 (R 3, R 4) で構成する。

【0013】

図 3 は、図 2 に示す容量結合型レベル変換回路の動作波形を示す図であり、PMOS (MP1) と NMOS (MN1) の各ゲート電圧 (V_{g1} , V_{g2}) と、入力電圧 (V_{in}) と出力電圧 (V_o) の電圧波形を示す。

なお、図 3、および後述する図 5、図 7、図 9 において、T は時間、V は電圧を示す。

ゲート電圧 (V_{g1}) と、ゲート電圧 (V_{g2}) とは、入力電圧 (V_{in}) と同相であり、それらの中心電圧は、電源電圧 (V_{dd}) をそれぞれの抵抗で分圧した電圧となる。

第 1 のバイアス回路 110 は、PMOS (MP1) のゲートに印加される電圧 (V_{g1}) の最大値が、電源電圧 (V_{dd}) から PMOS (MP1) のしきい値電圧 (V_{thp}) を減算した電圧 ($V_{dd} - V_{thp}$) になるようにバイアス電圧を設定する。

この設定により、ゲート電圧 (V_{g1}) は、トランジスタ (MP1) のしきい値電圧 (V_{thp}) に相当する電圧と、更に入力電圧 (V_{in}) の振幅分だけ低い電圧となるので、これらの電圧により、PMOS (MP1) はオン／オフする。

【0014】

同様に、第 2 のバイアス回路 120 は、NMOS (NM1) のゲートに印加される電圧の最小値が、接地電圧 (GND) に NMOS (NM1) のしきい値電圧

(V_{thn}) を加算した電圧 ($GND + V_{thn} = V_{thn}$) となるようにバイアス電圧を設定する。

この設定により、ゲート電圧 (V_{g2}) は、トランジスタ ($MN1$) のしきい値 (V_{thn}) に相当する電圧と、更に入力電圧 (V_{in}) の振幅分だけ高い電圧となるので、これらの電圧により、NMOS ($MN1$) はオン／オフする。

ここで、PMOS ($MP1$) と NMOS ($MN1$) は相補的に動作するので、出力電圧 (V_o) は、入力電圧 (V_{in}) に対して、逆位相で、その振幅を電源電圧 (V_{dd}) とほぼ等しくできる。

図 2 に示す容量結合型レベル変換回路では、図 3 に示すように、ゲート電圧 (V_{g1} , V_{g2}) の波形にサグといわれる波形歪みを生じる。

この波形歪みは、結合用の容量素子 ($C1$, $C2$) と、第 1 および第 2 のバイアス回路 (110, 120) の出力抵抗のそれぞれの積 (時定数) に関係し、波形歪みは時定数が大きければ少なく、小さければ大きい。このため、時定数を大きくすることで波形ひずみは低減できる。

しかし、時定数を大きくすると、ゲート電圧 (V_{g1} , V_{g2}) が安定するまでの時間が長くなる。これは電源投入時になどで問題となる。

【0015】

図 4 は、図 1 に示す容量結合型レベル変換回路 100 の他の例の回路構成を示す回路図である。

図 4 に示す容量結合型レベル変換回路は、第 1 のバイアス回路 110 に、ダイオード接続の PMOS ($MP2$) を、また、第 2 のバイアス回路 120 に、ダイオード接続の NMOS ($MN2$) を接続した点で、図 2 に示す容量結合型レベル変換回路 100 と相異なる。

図 5 は、図 4 に示す容量結合型レベル変換回路の動作波形を示す図であり、PMOS ($MP1$) と NMOS ($MN1$) の各ゲート電圧 (V_{g1} , V_{g2}) と、入力電圧 (V_{in}) と出力電圧 (V_o) の電圧波形を示す。

PMOS ($MP1$) のゲートに印加される電圧の最大値は、ダイオード接続の PMOS ($MP2$) により、抵抗素子 ($R1$) と抵抗素子 ($R2$) で分圧される電圧より、PMOS ($MP2$) のしきい値電圧 (V_{thp}) だけ高い電圧に制御

され、最小値は、その最大値に対して、入力電圧 (V_{in}) の振幅だけ低い電圧となる。

各 PMOS のしきい値電圧はほぼ一致するので、抵抗素子 (R_1) と抵抗素子 (R_2) で分圧される電圧を、電源電圧 (V_{dd}) よりも、PMOS (MP2) のしきい値電圧 (V_{thp}) の 2 倍の電圧だけ低い電圧に設定することで、PMOS (MP1) のゲートに印加される電圧 (V_{g1}) の最大値を、電源電圧 (V_{dd}) から PMOS (MP1) のしきい値電圧 (V_{thp}) を減算した電圧 ($V_{dd} - V_{thp}$) になるように設定できる。

【0016】

一方、NMOS (MN1) のゲートに印加される電圧の最小値は、ダイオード接続の NMOS (MN2) により、抵抗素子 (R_3) と抵抗素子 (R_4) で分圧される電圧より、NMOS (MN2) のしきい値電圧 (V_{thn}) だけ低い電圧に制御され、最大値は、その最小値に対して、入力電圧 (V_{in}) の振幅だけ高い電圧となる。

各 NMOS のしきい値電圧はほぼ一致するので、抵抗素子 (R_3) と抵抗素子 (R_4) で分圧される電圧を、NMOS (MN2) のしきい値電圧 (V_{thn}) の 2 倍の電圧に設定することで、NMOS (MN1) のゲートに印加される電圧の最小値を、接地電圧 (GND) よりも NMOS (MN2) のしきい値電圧 (V_{thn}) だけ高い電圧 (V_{thn}) に設定できる。

この結果、ゲート電圧 (V_{g1})、およびゲート電圧 (V_{g2}) は、図 2 に示す容量結合型レベル変換回路と同等になり、入力電圧 (V_{in}) の振幅を、電源電圧 (V_{dd}) と接地電圧 (GND) との差の振幅に変換することができる。

さらに、図 4 に示す容量結合型レベル変換回路 100 では、ダイオード接続の MOS トランジスタ (MP2, MN2) により、ゲート電圧 (V_{g1}) の最大値、およびゲート電圧 (V_{g2}) の最小値は、一定の電圧になるようにバイアスされる。

このため、ゲート電圧 (V_{g1} , V_{g2}) には、図 3 に示すような、波形ひずみは発生せず、したがって、図 4 に示す容量結合型レベル変換回路では、高速でジッタの少ないレベル変換回路を実現することができる。

【0017】

図6は、図1に示す容量結合型レベル変換回路100の他の例の回路構成を示す回路図である。

図6に示す容量結合型レベル変換回路は、第1のバイアス回路110と、第2のバイアス回路120の回路構成が、図4に示す容量結合型レベル変換回路と相異なる。

図7は、図6に示す容量結合型レベル変換回路の動作波形を示す図であり、PMOS (MP1) とNMOS (MN1) の各ゲート電圧 (V_{g1} , V_{g2}) と、入力電圧 (V_{in}) と出力電圧 (V_o) の電圧波形を示す。

図6に示す容量結合型レベル変換回路では、第1のバイアス回路110が、ダイオード接続された3個のPMOS (MP2, MP3, MP4) と抵抗素子 (R_5) とで構成される。

PMOS (MP3) と、PMOS (MP4) と、抵抗素子 (R_5) とを、電源電圧 (V_{dd}) と接地電圧 (GND) との間に直列に接続し、PMOS (MP2) を、PMOS (MP4) のドレインと、PMOS (MP1) のゲートとの間に接続する。

この回路構成により、PMOS (MP2) に印加される電圧は、 $V_{dd} - (V_{thp3} + V_{thp4})$ となる。

この結果、PMOS (MP1) のゲートに印加されるゲート電圧 (V_{g1}) の最大値 (V_{g1max}) は、下記(1)式のようにになる。

【数1】

$$V_{g1max} = V_{dd} - (V_{thp3} + V_{thp4}) + V_{thp2} \quad \dots \dots \dots (1)$$

ここで、各PMOSのしきい値電圧はほぼ一致するので、ゲート電圧 (V_{g1}) の最大値 (V_{g1max}) は、 $(V_{dd} - V_{thp})$ に設定される。

【0018】

同様に、第2のバイアス回路120は、ダイオード接続された3個のNMOS (MN2, MN3, MN4) と、抵抗素子 (R_6) とで構成される。

NMOS (MN3) と、NMOS (MN4)、抵抗素子 (R_6) とを、電源電

圧 (V_{dd}) と接地電圧 (GND) との間に直列に接続し、NMOS (MN2) を、NMOS (MN3) のドレインと、NMOS (MN1) のゲートとの間に接続する。

この回路構成により、NMOS (MN2) に印加される電圧は、($V_{thn3} + V_{thn4}$) となる。

この結果、NMOS (MN1) のゲートに印加されるゲート電圧 (V_{g2}) の最小値 (V_{g2min}) は、下記 (2) 式のようになる。

【数 2】

$$V_{g2min} = (V_{thn3} + V_{thn4}) - V_{thn2} \quad (2)$$

ここで、各 NMOS のしきい値電圧はほぼ一致するので、ゲート電圧 (V_{g2}) の最小値 (V_{g2min}) は、 V_{thn} に制御される。

このように、図 6 に示す容量結合型レベル変換回路でも、ゲート電圧 (V_{g1}) の最大値、ゲート電圧 (V_{g2}) の最小値を、図 4 に示す容量結合型レベル変換回路と同様に設定できるので、図 6 に示す容量結合型レベル変換回路においても、高速で、ジッタの少ないレベル変換回路を実現することができる。

さらに、図 6 に示す容量結合型レベル変換回路では、ゲート電圧 (V_{g1}) の最大値、ゲート電圧 (V_{g2}) の最小値が、抵抗素子 ($R5$, $R6$) に依存しないので、MOS トランジスタのしきい値電圧 (V_{th}) が変動したときの調整を不要にすることができる。

【0019】

図 8 は、図 1 に示す容量結合型レベル変換回路 100 の他の例の回路構成を示す回路図である。

図 8 に示す容量結合型レベル変換回路は、第 1 のバイアス回路 110 の PMOS (MP2) に代えて、PMOS (MP5) と抵抗素子 ($R7$) を使用し、第 2 のバイアス回路 120 の NMOS (MN2) に代えて、NMOS (MN5) と抵抗素子 ($R8$) を使用した点で、図 6 に示す容量結合型レベル変換回路と相異なる。

ここで、PMOS (MP5) のゲートは、PMOS (MP4) のドレインに接

続され、PMOS (MP5) と抵抗素子 (R7) とで、ソースフォロア回路を構成する。

PMOS (MP5) が順バイアスのとき、PMOS (MP5) のゲート・ソース間電圧は、 V_{thp5} となり、逆バイアスのとき、PMOS (MP5) はオフ状態となる。

この結果、ゲート電圧 (V_{g1}) の最大値 (V_{g1max}) は、下記 (3) 式のようになる。

【数3】

$$V_{g1max} = V_{dd} - (V_{thp3} + V_{thp4}) + V_{thp5} \quad (3)$$

ここで、各PMOSのしきい値電圧はほぼ一致するので、ゲート電圧 (V_{g1}) の最大値 (V_{g1max}) は、($V_{dd} - V_{thp}$) に設定される。

【0020】

同様に、NMOS (MN5) のゲートは、NMOS (MN3) のドレインに接続され、NMOS (MN5) と抵抗素子 (R8) とで、ソースフォロア回路を構成する。

NMOS (MN5) が順バイアスのとき、NMOS (MN5) のゲート・ソース間電圧は V_{thn5} となり、逆バイアスのとき、NMOS (MN5) はオフ状態となる。

この結果、ゲート電圧 (V_{g2}) の最小値ゲート電圧 (V_{g2min}) は、下記 (4) 式のようになる。

【数4】

$$V_{g2min} = (V_{thn3} + V_{thn4}) - V_{thn5} \quad (4)$$

ここで、各NMOSのしきい値電圧はほぼ一致するので、ゲート電圧 (V_{g2}) の最小値 (V_{g2min}) は、 V_{thn} に制御される。

このように、図8に示す容量結合型レベル変換回路でも、ゲート電圧 (V_{g1}) の最大値、ゲート電圧 (V_{g2}) の最小値を、図6に示す容量結合型レベル変換回路と同様に設定できるので、図8に示す容量結合型レベル変換回路において

も、図 6 に示す容量結合型レベル変換回路と同様な効果を得ることができる。

【0021】

図 9 は、図 8 に示す容量結合型レベル変換回路における、電源投入時のゲート電圧 (V_{g1}) とゲート電圧 (V_{g2}) の電圧応答を示す図である。

容量素子 ($C1$, $C2$) の端子間電圧の初期値を 0 V とすると、PMOS ($MP5$) はオフ状態、NMOS ($MN5$) はオン状態となる。

このため、ゲート電圧 (V_{g1}) の応答時定数は、抵抗素子 ($R7$) と容量素子 ($C1$) の積で、ゲート電圧 (V_{g2}) の応答時定数は、NMOS ($MN5$) の動抵抗 ($RMN5$) と容量素子 ($C2$) の積で表される。

ゲート電圧 (V_{g1}) の応答は遅く、ゲート電圧 (V_{g2}) の応答は速いが、抵抗素子 ($R7$) を小さくすることによって電源投入時の応答時間を短縮することができる。

【0022】

図 10 は、図 1 に示す容量結合型レベル変換回路 100 の他の例の回路構成を示す回路図である。

図 10 に示す容量結合型レベル変換回路は、図 8 に示す第 1 のバイアス回路 110 の抵抗素子 ($R7$) に代えて PMOS ($MP6$) を使用し、図 8 に示す第 2 のバイアス回路 120 の抵抗素子 ($R8$) に代えて NMOS ($MN6$) を使用した点で、図 8 に示す容量結合型レベル変換回路 100 と相異なる。

PMOS ($MP6$) と PMOS ($MP3$) は、カレントミラー回路を構成し、PMOS ($MP5$) を定電流でバイアスし、同様に、NMOS ($MN6$) と NMOS ($MN4$) は、カレントミラー回路を構成し、NMOS ($MN5$) を定電流でバイアスする。

図 10 に示す容量結合型レベル変換回路においても、ゲート電圧 (V_{g1}) の最大値、ゲート電圧 (V_{g2}) の最小値を、図 8 に示す容量結合型レベル変換回路と同様に設定できるので、図 10 に示す容量結合型レベル変換回路においても、図 8 に示す容量結合型レベル変換回路 100 と同様の効果が得られる。

【0023】

図 11 は、図 1 に示す容量結合型レベル変換回路 100 の他の例の回路構成を

示す回路図である。

図 11 に示す容量結合型レベル変換回路は、第 1 のバイアス回路 110 に PMOS (MP7) を、第 2 のバイアス回路 120 に NMOS (MN7) を追加した点で、図 10 に示す容量結合型レベル変換回路と相異なる。

図 11 に示す容量結合型レベル変換回路では、PMOS (MP7) のゲートに、 V_{ctp} の制御信号を、また、NMOS (MN7) のゲートに、 V_{ctn} の制御信号に印加し、これらの制御信号 (V_{ctp} , V_{ctn}) により、電源投入時に、PMOS (MP7) および NMOS (MN7) をオン状態にし、それ以外では PMOS (MP7) および NMOS (MN7) をオフ状態にする。

この結果、電源投入時のゲート電圧 (V_{g1} , V_{g2}) の応答を速くできるとともに、電源投入後のゲート電圧 (V_{g1} , V_{g2}) の波形歪を防止できるので、電源投入時の応答が速く、ジッタの少ないレベル変換回路を実現することができる。

【0024】

図 12 は、図 1 に示すサンプルホールド回路 200 と、直結型レベル変換回路 300 の一例の回路構成を示す回路図である。

サンプルホールド回路 210 は、NMOS (MN11) と容量素子 (C11) で構成される。

NMOS (MN11) は、ドレインがノード (V_a) に接続されるとともに、ソースには表示データ (D_{in}) が印加され、ゲートには、サンプリングパルス (SPL) が印加される。

容量素子 (C11) は、ノード (V_a) と、接地電圧 (GND) との間に接続される。

直結型レベル変換回路 280 は、 V/I 変換回路 220 と、第 2 のスイッチング素子 230 と、第 1 のスイッチング素子 240 と、電圧保持回路 250 と、第 3 のバイアス回路 260 と、インバータ 270 とで構成される。

V/I 変換回路 220 は、NMOS (MN12) で構成され、NMOS (MN12) は、ゲートがノード (V_a) に、ソースが第 3 のバイアス回路 260 に、ドレインが第 2 のスイッチング素子 230 に接続される。

第2のスイッチング素子230は、NMOS (MN13) で構成され、NMOS (MN13) は、ソースがV/I変換回路220に接続され、ドレインがノード(Vb)に接続されるとともに、ゲートに信号(CK2)が印加される。

【0025】

第1のスイッチング素子は、PMOS (MP11) で構成され、PMOS (MP11) は、ドレインがノード(Vb)されるとともに、ソースに電源電圧(Vdd)が印加され、ゲートに信号(CK1)が印加される。

電圧保持回路250は、ノードVbと接地電圧(GND)との間に接続される容量素子(C12)で構成される。

第3のバイアス回路260は、抵抗素子(R11)と抵抗素子(R12)とで構成され、抵抗素子(R11)と抵抗素子(R12)接続点(分圧点)に、NMOS (MN12)のソースが接続される。

インバータ270は、PMOS (MP12)とNMOS (MN14)とで構成され、ノード(Vb)の電圧が入力され、出力電圧(Vc)は、D型フリップフロップ回路(FF)に入力される。

【0026】

図13は、図12に示す各部の電圧波形を示す図である。

Dinは、低振幅の表示データであり、その周期はTckである。SPLは、サンプリングパルスであり、その周期は4×Tckである。

サンプルホールド回路210は、サンプリングパルス(SPL)がHレベルのときに、表示データ(Din)をサンプリングし、サンプリングパルス(SPL)の立ち下がり時点でホールドする。

信号(CK1)は、第1のスイッチング素子240の制御信号、信号(CK2)は、第2のスイッチング素子230の制御信号である。

信号(CK1)が、Lレベルとなり、PMOS (MP11)がオンすると、容量素子(C12)を充電し、ノード(Vb)の電圧がVddとなる。

次に、信号(CK1)と信号(CK2)が、ともにHレベルとなると、PMOS (MP11)がオフ、NMOS (MN13)がオンとなる。

ここで、ノード(Va)が、Lレベルときは、NMOS (MN12)がオフと

特願2002-377150

なって、NMOS (MN12) にはオフ電流が流れるので、ノード (Vb) の電圧値は、Vddよりも ΔVb だけ低下した電圧となる。

一方、ノード (Va) が、Hレベルのときは、NMOS (MN12) がオンになって、NMOS (MN12) にはオン電流が流れるので、ノード (Vb) の電圧値は、THLの期間を経てGNDとなる。

ノード (Vb) の電圧が、インバータ270で波形整形されて、出力電圧 (Vc) となる。

【0027】

以上説明したように、図12に示す回路では、低振幅の表示データ (Din) を振幅がVddの信号 (Vc) に変換することができる。

ノード (Va) が、Lレベルの時の、ノード (Vb) の電圧変化 ΔVb は、下記(5)式で示される。

【数5】

$$\Delta Vb = I_{off} (MN12) \times 2T_{ck} / C12 \quad (5)$$

一方、ノード (Va) が、Hレベルのときに、ノード (Vb) がGNDに至るまでの時間THLは、下記(6)式で示される。

【数6】

$$THL = C12 \times Vdd / I_{on} (MN12) \quad (6)$$

ΔVb 、THLともに小さい方が好ましいので、NMOS (MN12) の動作点はオフ電流 I_{off} (MN12) が小さく、オン電流 I_{on} (MN12) が大きくなるように設定する。

このため、NMOS (MN12) のゲート電圧が最小値のときに、ゲート・ソース間電圧が、しきい値電圧となるよう、第3のバイアス回路260の出力電圧を $(-V_{thn})$ に設定する。

これにより、NMOS (MN12) のソースから見て、ゲート電圧は、トランジスタ (MN12) のしきい値 (V_{thn}) に相当する電圧と、更に表示データ (Din) の振幅分だけ高い電圧となるので、これらの電圧により、NMOS (

MN12) はオン／オフする。

この結果、NMOS (MN12) のオフ電流を抑えた状態でオン電流を大きくすることができる。

【0028】

図14は、図12に示すバイアス回路260の他の例の回路構成を示す回路図である。

図14に示すバイアス回路は、MOSトランジスタNMOS (MN15) と抵抗素子 (R13) で構成される。

NMOS (MN15) は、ソースが抵抗素子 (R13) に接続されるとともに、ゲートに接地電圧 (GND) が印加され、ドレインに電源電圧 (V_{dd}) が印加される。

NMOS (MN15) は、ソースフォロアとして動作し、出力であるソースの電圧は ($-V_{thn}$) となる。

図14に示すバイアス回路では、NMOS (MN12) がオンした時の電流が抵抗素子 (R13) によって制限される。

このため、抵抗素子 (R13) を十分小さくすると共に、NMOS (MN15) のオン電流を大きくすることが必要である。

【0029】

図15は、図12に示すバイアス回路260の他の例の回路構成を示す回路図である。

図15に示すバイアス回路は、NMOS (MN16) と、PMOS (MP13) と、PMOS (MP14) と、抵抗素子 (R14) で構成される。

NMOS (MN16) は、ゲートに接地電圧 (GND) が印加され、ドレインに電源電圧 (V_{dd}) が印加される。

PMOS (MP13) はダイオード接続され、ソースがNMOS (MN16) のソースに、ドレインが抵抗素子 (R14) に接続される。

PMOS (MP14) は、ゲートがPMOS (MP13) のゲートに、ソースがNMOS (MN12) のソースに接続され、ドレインに負の電源電圧 (V_{ss}) が印加される。

この回路構成により、NMOS (MN12) のソース電圧 (V_{sn12}) は、下記 (7) 式で示される。

【数 7】

$$V_{sn12} = -(V_{thn16} + V_{thp13}) + V_{thp14} \quad (7)$$

PMOS のしきい値電圧を V_{thp} 、NMOS のしきい値電圧を V_{thn} とすると、NMOS (MN12) のソース電圧は、 $-V_{thn}$ となり、図 14 に示すバイアス回路と同じバイアス電圧を得ることができる。

NMOS (MN12) がオンした時の電流は、PMOS (MP14) のソースの動抵抗で制限されるが、この動抵抗は電流増加とともに減少するので、その影響は少ない。

【0030】

図 16 は、図 12 に示すバイアス回路 260 の他の例の回路構成を示す回路図である。

図 16 に示すバイアス回路は、図 14 に示すバイアス回路に、オペアンプ (OP1) と、PMOS (MP15) を追加したものである。

このオペアンプ (OP1) と、PMOS (MP15) によって、NMOS (MN12) のソース電圧を負帰還制御するので、NMOS (MN12) のソースを低いインピーダンスで駆動することができる。

【0031】

図 17 は、本実施の形態の容量結合型レベル変換回路、サンプルホールド回路、直結型レベル変換回路を用いた表示データ入力回路の回路構成を示すブロック図である。

図 17 に示す表示データ入力回路は、容量結合型レベル変換回路 100 と、サンプルホールド回路 200 と、直結型レベル変換回路 300 と、シリアルパラレル変換回路 400 と、タイミング制御回路 500 とで構成される。

なお、サンプルホールド回路 200 と、直結型レベル変換回路 300 とは、シリアルパラレル変換回路 400 の一部を構成している。

容量結合型レベル変換回路 100 は、前述の図 2、図 4、図 6、図 8、図 10

、あるいは、図11に示す容量結合型レベル変換回路を複数用いる。

この容量結合型レベル変換回路100により、クロック (clk)、水平同期信号 (hs)、垂直同期信号 (vs)、および、8本のサンプリング信号 (spl) の電圧レベルを変換する。レベル変換後の信号は、それぞれ符号 clk_a、hs_a、vs_a、spl_a で示した。

【0032】

サンプルホールド回路200は、前述の図12に示すサンプルホールド回路を8回路分を並列に接続して構成し、シリアルに入力される表示データ (Din) を、図18に示す8本のレベル変換されたサンプリング信号 (spl_a) でサンプリングする。なお、spl_aのそれぞれは、図13などにおけるサンプリングパルス (SPL) に対応する。

また、図18は、図17に示す一部の信号のタイミングチャートを示す図である。

直結型レベル変換回路300は、図12に示すレベル変換回路280を、4回路ずつ2系統に分けて配置し、それぞれのレベル変換回路280が、異なるタイミングでサンプリングされた電圧 (Din_a) をレベル変換する。なお、図12に示す回路の代わりに、図14、図15、図16に示す回路を用いてもよい。

シリアルパラレル変換回路400は、4入力ラッチ回路 (LAT) を3個使用し、これらのラッチ回路 (LAT) で、異なるタイミングでレベル変換された表示データ (Din_b, Din_c) のタイミングを一致させて、パラレルに変換して、Din_dとして出力する。

タイミング制御回路500は、レベル変換されたクロック (clk_a)、同期信号 (hs_a, vs_a) に基づき、制御信号 (ck3, ck4, pr1, pr2, st1, st2) を生成する。なお、pr1およびpr2は、図13などにおける信号 (CK1) に対応し、st1およびst2は、図13などにおける信号 (CK2) に対応する。

【0033】

以上説明したように、本実施の形態の容量結合型レベル変換回路では、第1のバイアス回路110、および第2のバイアス回路120で、PMOS (MP1)

およびNMOS (MN1) のオフ状態のゲート電圧を、PMOS (MP1) およびNMOS (MN1) のしきい値電圧とほぼ等しい電圧に制御するので、オフ電流を抑えて消費電力を低減することが可能となる。

また、第1のバイアス回路110、および第2のバイアス回路120は、それぞれPMOSとNMOSのしきい値電圧 (V_{th}) でバイアス電圧を決定するので、しきい値電圧 (V_{th}) の変動 (ばらつき) に依存せずに安定にオフ状態を保つことができる。

また、オン状態のゲート電圧は、PMOS (MP1) およびNMOS (MN1) のしきい値電圧 (V_{th}) に、入力信号の電圧振幅が加えられた電圧となり、オン電流を高くできるので、入力信号が低振幅の場合でも高い動作周波数のレベル変換回路を実現できる。

これにより、PMOS (MP1) およびNMOS (MN1) のしきい値電圧 (V_{th}) よりも低い入力電圧でもレベル変換することが可能となる。

【0034】

このように、本実施の形態の容量結合型レベル変換回路では、振幅が1.2V以下、例えば、薄膜トランジスタから成るPMOS (MP1) およびNMOS (MN1) のしきい値電圧の2倍より小さい入力信号をレベル変換することが可能である。

この場合に、より消費電力を少なくするためには、入力信号は、振幅が、PMOS (MP1) およびNMOS (MN1) のしきい値電圧の1.6倍以下の信号であることが好ましい。

原理的には、しきい値電圧以下の入力信号でもレベル変換可能であるが、より高速にレベル変換を行うためには、入力信号は、振幅が、PMOS (MP1) およびNMOS (MN1) のしきい値電圧以上、1.6倍以下の信号であることがより好ましい。

本実施の形態の直結型レベル変換回路では、第3のバイアス回路により、 V/I 変換回路を構成するNMOS (MN12) のゲート・ソース間電圧を、ほぼNMOS (MN12) のしきい値電圧 (V_{th}) にすることができ、さらに、オン状態では、このしきい値電圧 (V_{th}) に、入力信号の電圧振幅が加算された電

圧が印加されるので、十分に高いオン／オフ比をとることができ、低振幅で高速の表示データのレベル変換回路を実現することが可能となる。

また、同期信号と表示データのレベル変換回路を、それぞれ容量結合型と直結型で実現することで、表示装置用の高速で低振幅の信号レベル変換回路を実現することが可能となる。

【0035】

したがって、本実施の形態の表示装置では、表示装置とシステムLSIとのインターフェース信号を高速にできるので、信号線の端子数を削減し、コストを削減できるとともに、信頼性の高い表示装置を実現することが可能となる。

また、表示データのシリアルパラレル変換を併用することで、さらに高速化でき、信号線の端子数を大幅に低減することができる。

さらに、表示装置とシステムLSIとのインターフェース信号を低振幅にできるので、低い電圧で動作するシステムLSIからの信号を、直接表示装置に入力することができるので、部品点数を削減できるとともに、消費電力を低減することが可能となる。

なお、前述の説明では、本発明を、液晶表示モジュールに適用した実施の形態について説明したが、本発明はこれに限定されるものではなく、本発明は、EL表示装置などの他の表示装置にも適用可能であることはいうまでもない。

また、トランジスタのしきい値電圧とはほぼ同じ分だけバイアスさせる場合に限らず、しきい値電圧の半分以上、かつ、しきい値電圧以下の範囲でバイアスされるようにしてもよい。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0036】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明によれば、表示装置とシステムLSIとのインターフェース信号を

高速にできるので、信号線の端子数を削減し、コストを削減できるとともに、信頼性の高い表示装置を実現することが可能となる。

(2) 本発明によれば、表示装置とシステム L S I とのインターフェース信号を低振幅にできるので、低い電圧で動作するシステム L S I からの信号を、直接表示装置に入力することができるので、部品点数を削減できるとともに、消費電力を低減することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の表示装置の概略構成を示すブロック図を示す。

【図 2】

図 1 に示す容量結合型レベル変換回路の一例の回路構成を示す回路図である。

【図 3】

図 2 に示す容量結合型レベル変換回路の動作波形を示す図である。

【図 4】

図 1 に示す容量結合型レベル変換回路の他の例の回路構成を示す回路図である。

【図 5】

図 4 に示す容量結合型レベル変換回路の動作波形を示す図である。

【図 6】

図 1 に示す容量結合型レベル変換回路の他の例の回路構成を示す回路図である。

【図 7】

図 6 に示す容量結合型レベル変換回路の動作波形を示す図である。

【図 8】

図 1 に示す容量結合型レベル変換回路の他の例の回路構成を示す回路図である。

【図 9】

図 8 に示す容量結合型レベル変換回路における、電源投入時のゲート電圧 (V_{g1}) とゲート電圧 (V_{g2}) の電圧応答を示す図である。

【図 10】

図 1 に示す容量結合型レベル変換回路の他の例の回路構成を示す回路図である。

。

【図 11】

図 1 に示す容量結合型レベル変換回路の他の例の回路構成を示す回路図である。

。

【図 12】

図 1 に示すサンプルホールド回路と、直結型レベル変換回路の一例の回路構成を示す回路図である。

【図 13】

図 12 に示す各部の電圧波形を示す図である。

【図 14】

図 12 に示すバイアス回路の他の例の回路構成を示す回路図である。

【図 15】

図 12 に示すバイアス回路の他の例の回路構成を示す回路図である。

【図 16】

図 12 に示すバイアス回路の他の例の回路構成を示す回路図である。

【図 17】

本実施の形態の容量結合型レベル変換回路、サンプルホールド回路、直結型レベル変換回路を用いた表示データ入力回路の回路構成を示すブロック図である。

【図 18】

図 17 に示す一部の信号のタイミングチャートを示す図である。

【符号の説明】

10…低温ポリシリコン基板（LTPS基板） 20…システムLSI、30…電源回路、100…容量結合型レベル変換回路、110…第1のバイアス回路、120…第2のバイアス回路、200, 210…サンプルホールド回路、220…V/I変換回路、230…第2のスイッチング素子、240…第1のスイッチング素子、250…電圧保持回路、260…第3のバイアス回路、270…インバータ、280, 300…直結型レベル変換回路、400…シリアルパラレル変

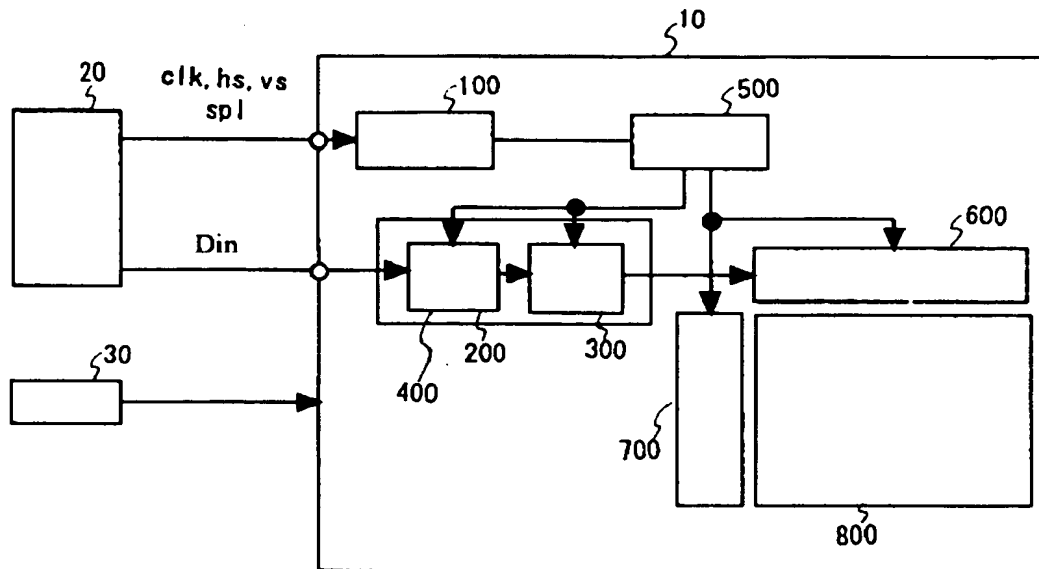
換回路、5 0 0 … タイミング制御回路、6 0 0 … ドレイン線駆動回路、7 0 0 …
ゲート線駆動回路、8 0 0 … 表示部、MP … P 型 MOS トランジスタ、MN … N
型 MOS トランジスタ、C … 容量素子、R … 抵抗素子、FF … フリップフロップ
回路、LAT … ラッチ回路、OP … オペアンプ。

【書類名】

図面

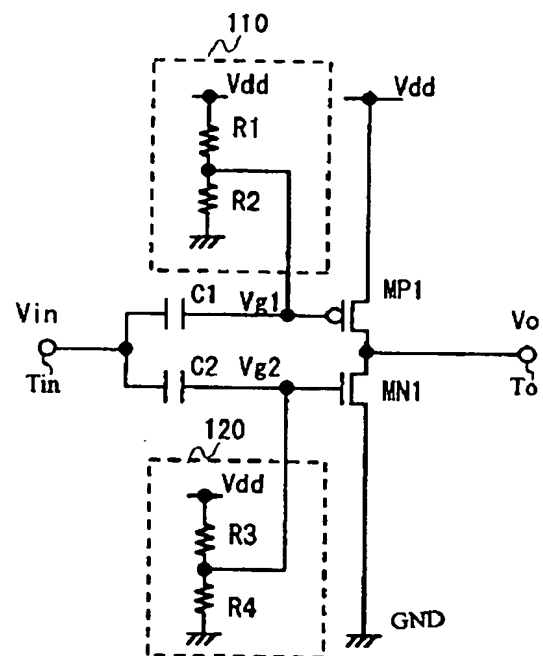
【図 1】

圖 1



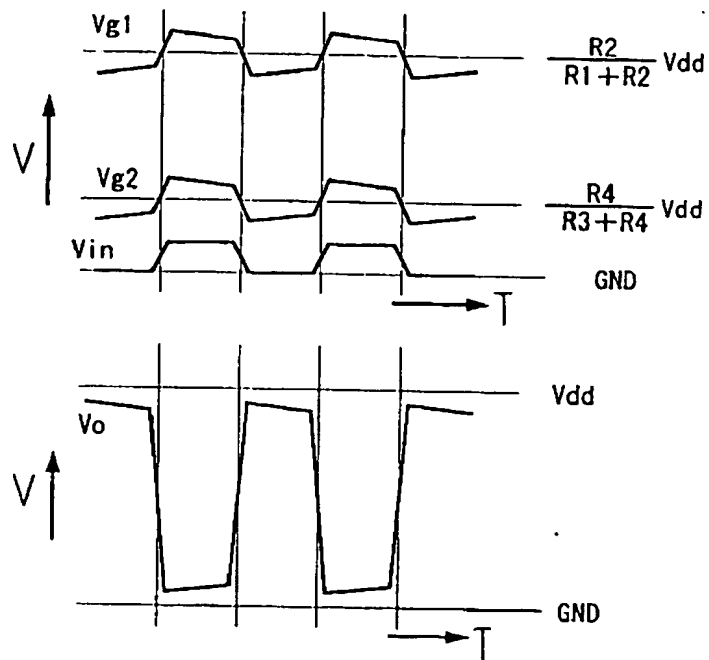
【図 2】

图2



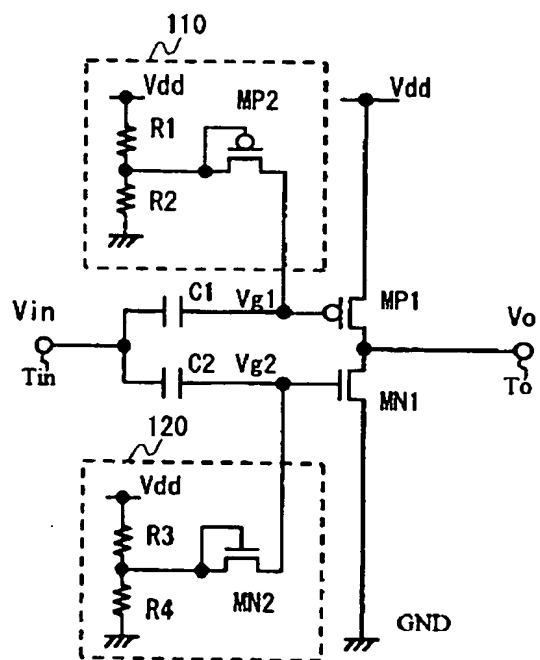
【図 3】

図 3



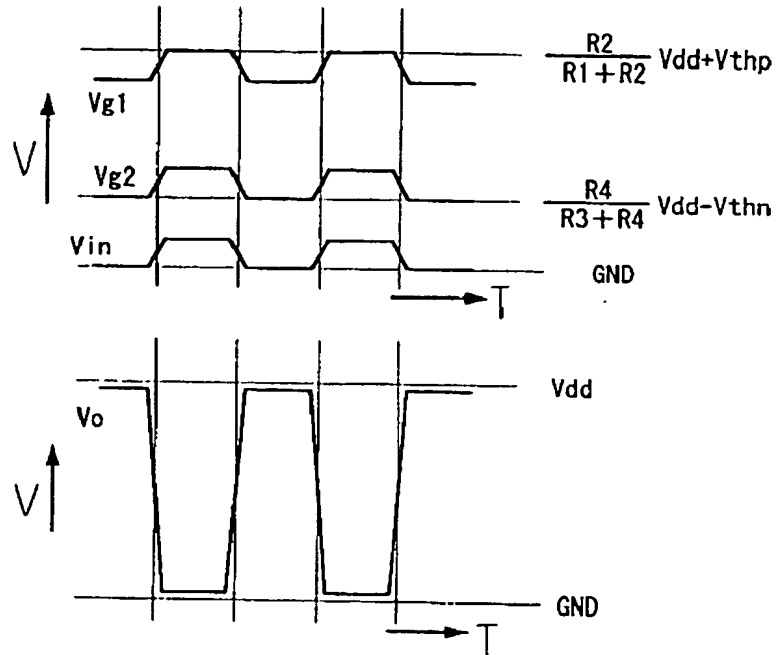
【図 4】

図 4



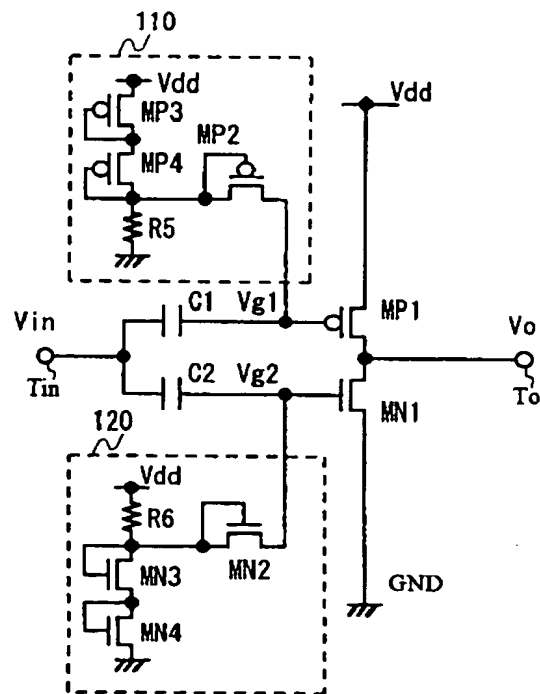
【図 5】

図 5



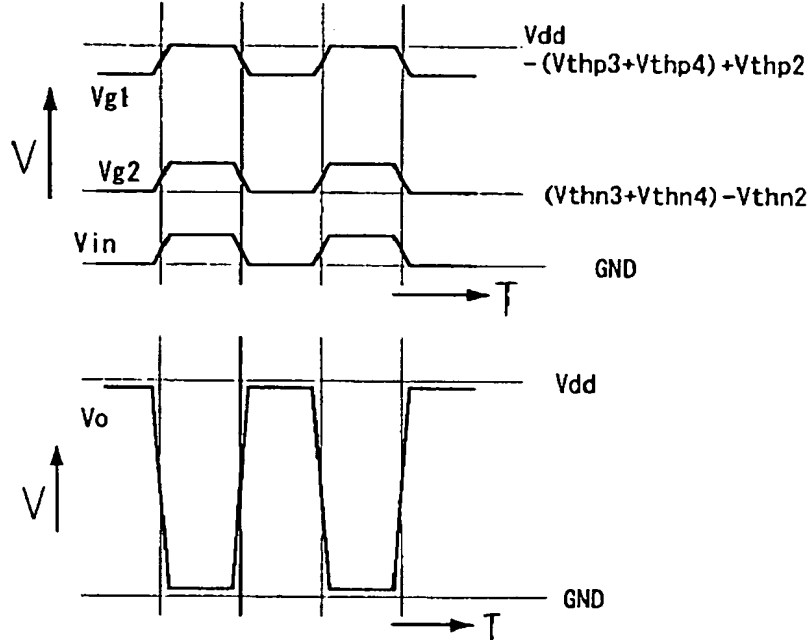
【図 6】

図 6



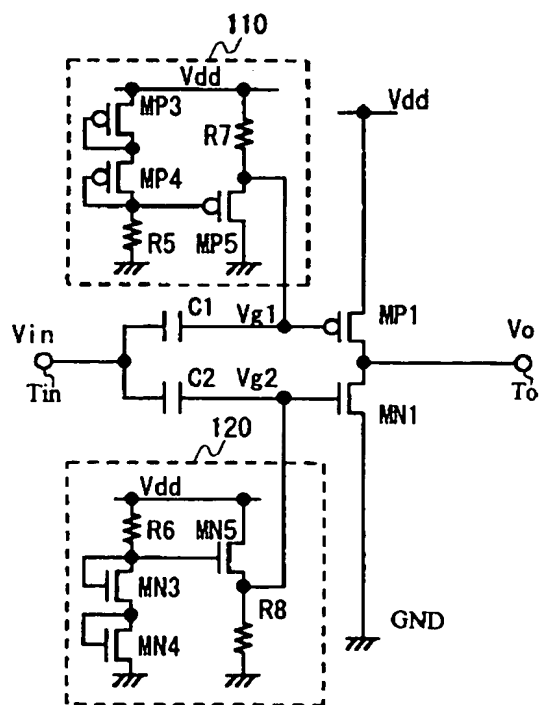
【図 7】

図 7



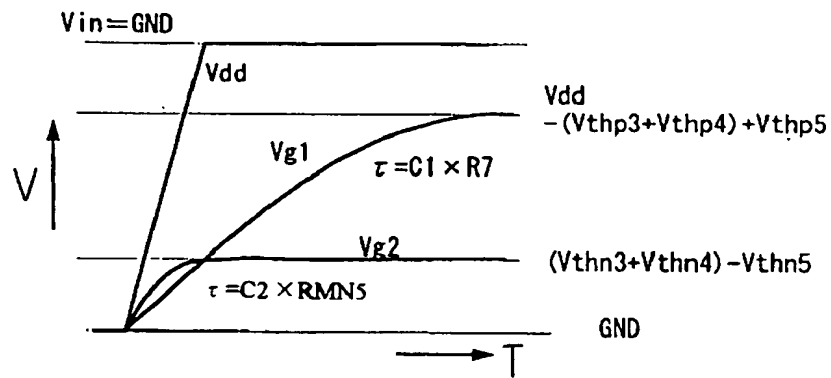
【図 8】

図 8



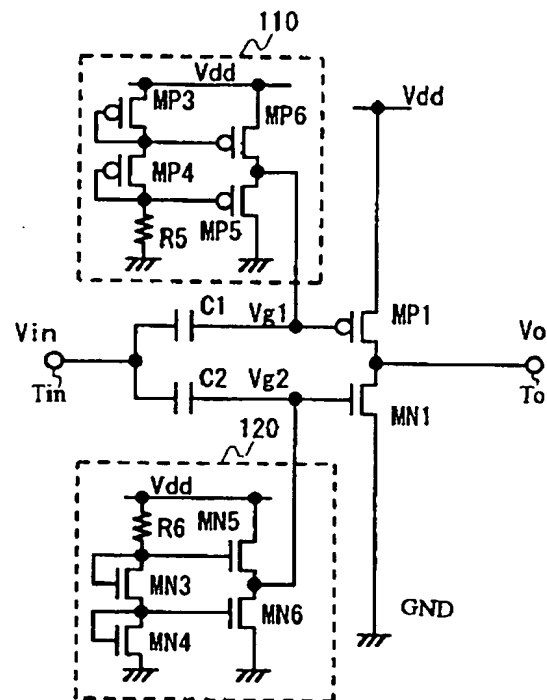
【図 9】

図 9



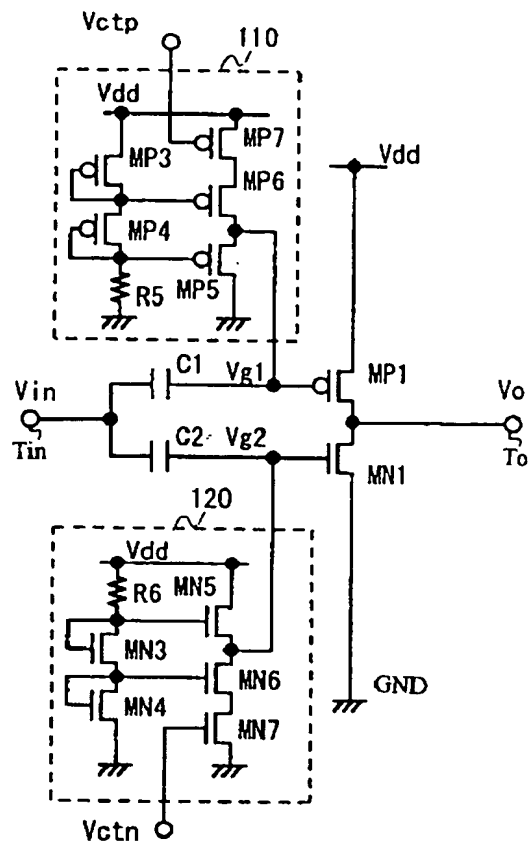
【図 10】

図 10



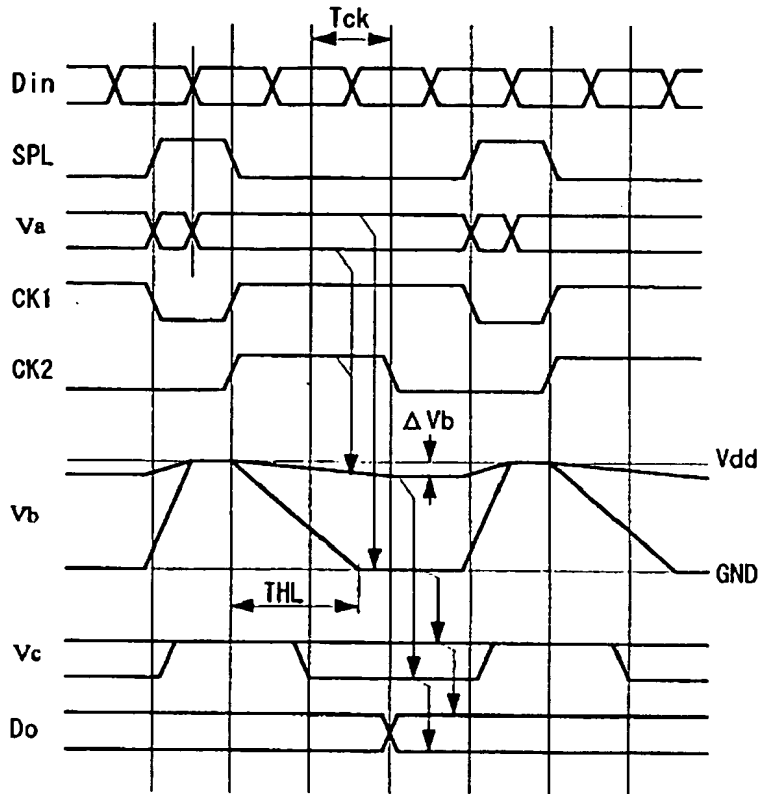
【図 11】

図 11



【図 13】

図 13

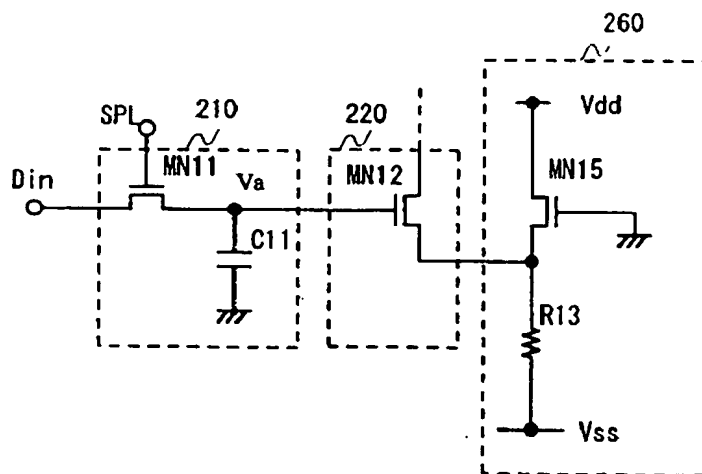


$$\Delta V_b = \frac{I_{off}(MN12) \times 2T_{ck}}{C12}$$

$$THL = \frac{C12 \times V_{dd}}{I_{on}(MN12)}$$

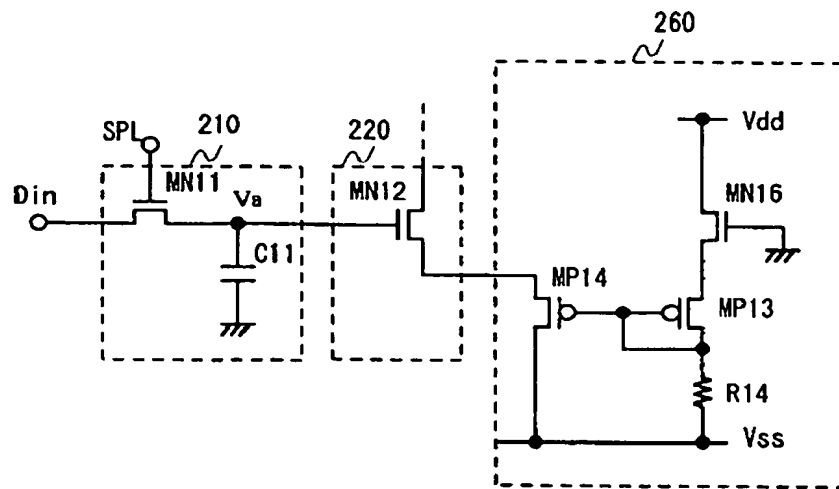
【図 14】

図 14



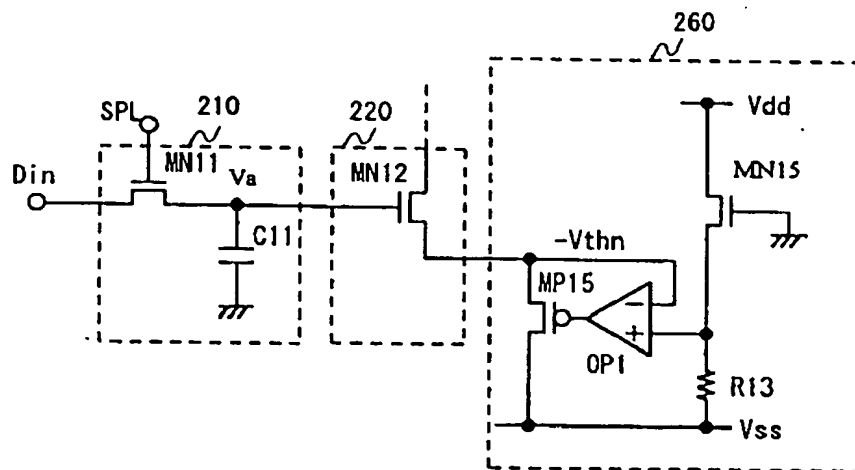
【図 15】

図 15

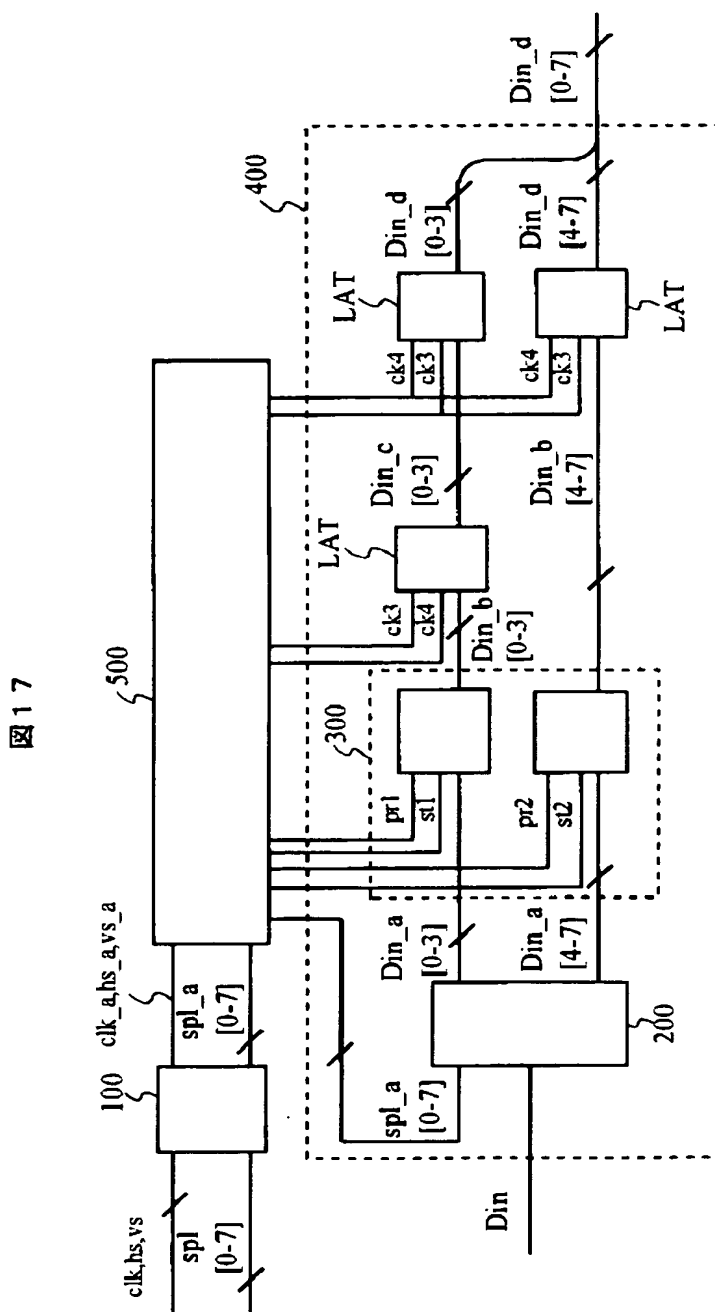


【図 16】

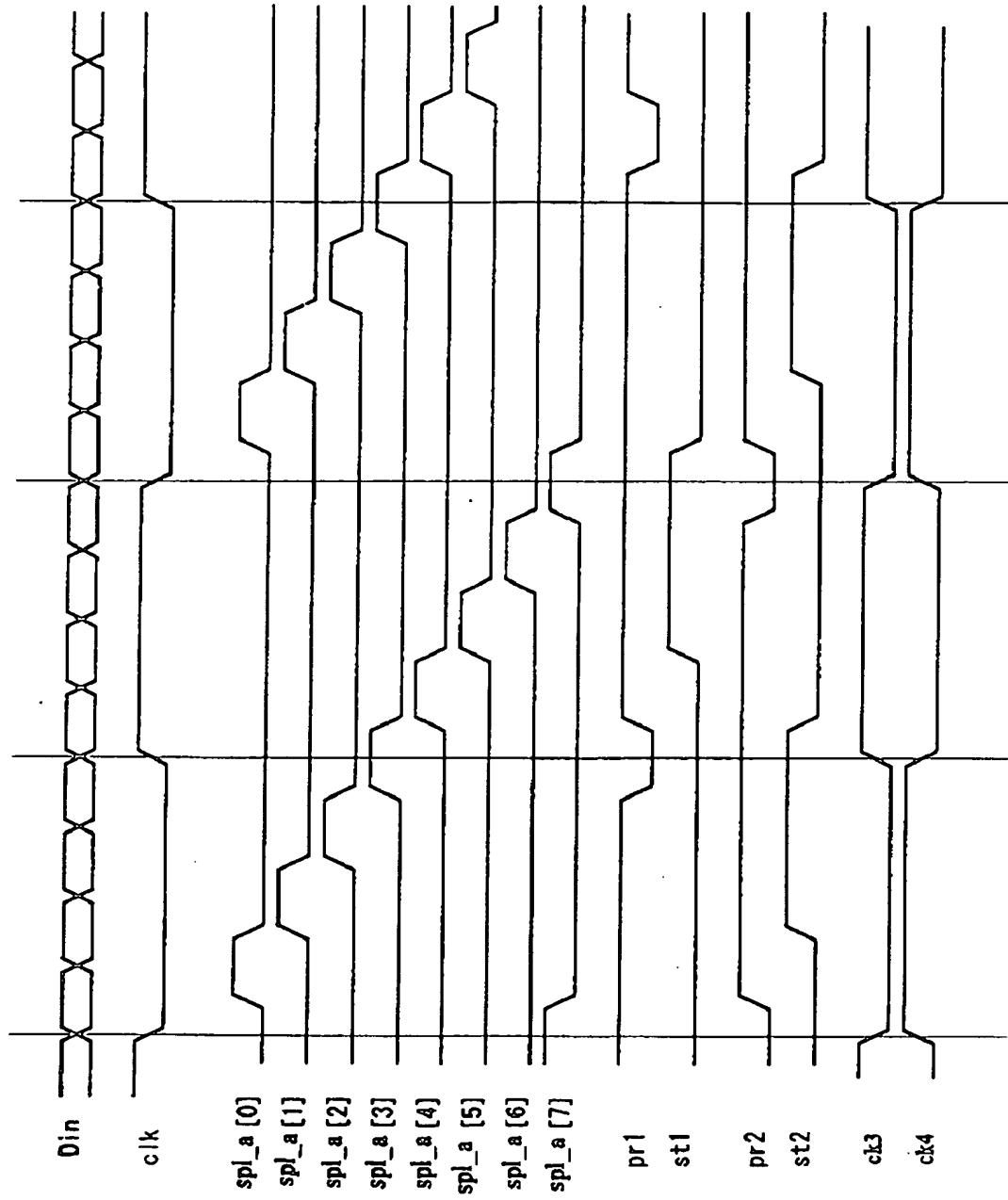
図 16



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 低振幅の入力信号を内部に取り込むことが可能な表示装置を提供する

。

【解決手段】 レベル変換回路が、ゲート電極に第1容量素子を介して入力信号が印加される第1導電型の第1トランジスタと、ゲート電極に第2容量素子を介して入力信号が印加される第2導電型の第2トランジスタと、前記第1トランジスタのゲート電極に第1バイアス電圧を印加する第1バイアス回路と、前記第2トランジスタのゲート電極に第2バイアス電圧を印加する第2バイアス回路とを有し、前記第1バイアス電圧は、前記第1トランジスタのゲート電極に印加される電圧が最大値のときに、前記第1トランジスタがオフとなる電圧であり、前記第2バイアス電圧は、前記第2トランジスタのゲート電極に印加される電圧が最小値のときに、前記第2トランジスタがオフとなる電圧である。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 7 1 5 0
受付番号	5 0 2 0 1 9 7 5 4 9 3
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 1 月 6 日

< 認定情報・付加情報 >

【提出日】 平成14年12月26日

次頁無

特願 2 0 0 2 - 3 7 7 1 5 0

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日
[変更理由]

2 0 0 2 年 1 0 月 1 日
新規登録

住 所
氏 名

千葉県茂原市早野 3 3 0 0 番地
株式会社 日立ディスプレイズ